

(43)公開日 平成12年10月24日(2000.10.24)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	ページ・(参考)
G 0 2 F 1/1368		G 0 2 F 1/136	5 0 0
1/1335	5 0 0	1/1335	5 0 0
G 0 9 F 9/30	3 1 3	G 0 9 F 9/30	3 1 3
H 0 1 L 29/786		H 0 1 L 29/78	6 1 9 B

審査請求 有 請求項の数10 OL (全 6 頁)

(21) 出願番号 特願2000-64978(P2000-64978)  
(62) 分割の表示 特願平10-307465の分割  
(22) 出願日 平成10年10月28日(1998. 10. 28)

(71)出願人 000002185  
ソニー株式会社  
東京都品川区北品川6丁目7番35号

(72)発明者 佐藤 拓生  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(72)発明者 阿部 文明  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(74)代理人 100092336  
弁理士 鈴木 晴敏

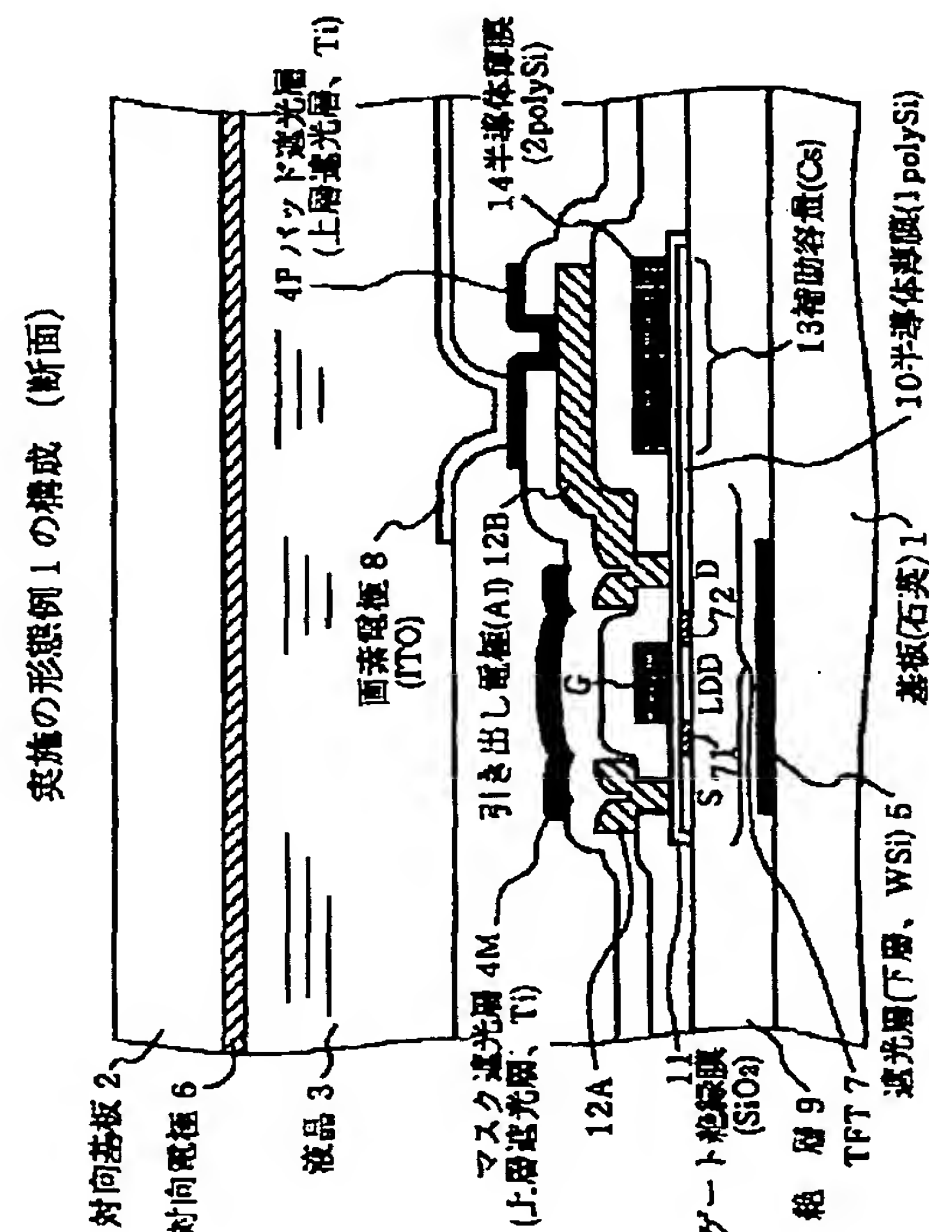
**最終頁に続く**

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 戻り光を含め、散乱・反射等した入射光がトランジスタ部に入射することを防止し、光リーク電流等の発生の問題を解決した液晶表示装置を提供する。

【解決手段】 画素トランジスタであるTFT7を有するTFT基板1と、液晶3を介して該TFT基板と対向する対向基板2とを備え、画素トランジスタ部の対向基板側、及び画素トランジスタ部の対向基板とは逆の側の双方の側に遮光層（上層遮光層4、及び下層遮光層5）が形成され、対向基板側の遮光は、対向基板側からの入射光に対して遮光層4及び引き出し電極12により、画素開口以外の領域すべての遮光がなされている液晶表示装置。



## 【特許請求の範囲】

【請求項 1】 基板上に画素トランジスタである TFT を有する TFT 基板と、液晶を介して該 TFT 基板と対向する対向基板とを備える液晶表示装置において、画素トランジスタ部の対向基板側、及び画素トランジスタ部の対向基板とは逆の側で基板と TFT との間の双方の側に遮光層が形成され、

前記対向基板側の遮光層は、対向基板側からの入射光に対して、画素開口以外の領域すべての遮光がなされており、前記対向基板には遮光層が形成されていないことを特徴とする液晶表示装置。

【請求項 2】 少なくとも画素トランジスタのソース／ドレイン端部は、前記対向基板とは逆の側で基板と TFT の間にある遮光層で遮光されていることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】 前記遮光されているソース／ドレイン端部に LDD 領域が形成されていることを特徴とする請求項 2 記載の液晶表示装置。

【請求項 4】 前記対向基板とは逆の側で基板と TFT の間にある遮光層は、接地されていることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 5】 前記対向基板とは逆の側で基板と TFT の間にある遮光層は、ゲートラインに接続されていることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 6】 前記対向基板とは逆の側で基板と TFT の間にある遮光層は、画素トランジスタ形成層の下部に膜厚 200～1500nm の絶縁膜を介して形成されていることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 7】 前記対向基板とは逆の側で基板と TFT の間にある遮光層の抵抗は、100Ω/□以下であることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 8】 前記対向基板とは逆の側で基板と TFT の間にある遮光層は、少なくとも 400～500nm の領域の光に対して透過率が 50% 以下であることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 9】 前記対向基板側の遮光層は、対向基板側からの入射光に対して 2 以上の相互に分離された遮光層により遮光がなされていることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 10】 前記画素トランジスタが多結晶 Si-TFT であることを特徴とする請求項 1 記載の液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、液晶表示装置に関し、特に、画素トランジスタである TFT を有する TFT 基板と、液晶を介して該 TFT 基板と対向する対向基板とを備える液晶表示装置に関するものである。

## 【0002】

【従来の技術】 従来より、ガラスや石英等より成る基板

上に TFT (薄膜トランジスタ) を形成して TFT 基板とし、該 TFT 基板と対向基板との間に液晶を有する液晶表示装置が知られている。

【0003】 従来のこの種のものは、通常、対向基板側から光源の光を入射させる。この光が画素トランジスタに入射すると、光リーク電流により、コントラスト低下やフリッカ等の画質劣化が生じることがある。

【0004】 たとえば多結晶 Si は、a-Si ほど高感度ではないが、たとえば近年の液晶表示装置ではプロジェクタのように大光量下での使用が増加するので、多結晶 Si-TFT を用いた液晶表示装置にあっても、光リーク電流が無視できなくなっている。よって多結晶 Si-TFT を用いた場合についても、光リーク電流によるコントラスト低下やフリッカ等の画質劣化が問題となっている。

【0005】 従来、対向基板側からの光の画素トランジスタへの入射抑制については、図 5 (a) に示すように、対向基板 2 にブラックマトリックス B を設置することで、その遮光を行っていた。しかしこの構造では、直進する入射光  $L_1$  の遮光は可能であるが、散乱ないし反射等した入射光の一部  $L_2$  が画素トランジスタ 7 に入射することを防ぐことができない。そこで本発明者らは、図 5 (b) に示すように、対向基板 2 に設置してあったブラックマトリックスをよりトランジスタに近い位置である TFT 基板 1 のトランジスタの上層 (対向基板側) に設置することで、光入射低減を図る技術を提案した (特開平 8-262494 号公報参照)。これによれば、図 5 (b) のように、散乱ないし反射等した入射光  $L_2$  の画素トランジスタ 7 への入射を防ぐことができる。この提案では、2 つの層でブラックマトリックスを形成して、遮光層としている。

【0006】 しかし図示するように、出射光の一部  $L_3$  は、光学系等からの反射等により、TFT 基板側からトランジスタへ入る戻り光 (迷光) を発生させている。この戻り光 (迷光)  $L_3$  のトランジスタ部 7 への入射は、いずれの構造でも防止できない。

【0007】 特に、トップゲートまたはプレーナ構造の多結晶 Si-TFT を用いた液晶表示装置では、TFT 基板の最下層 (対向基板とは逆の方) にトランジスタの活性層が形成されているため、TFT 基板側からの光は直接トランジスタ活性層に入射し、光リーク電流の原因となっている。

## 【0008】

【発明が解決しようとする課題】 本発明は、上記した問題を解決するためになされたもので、本発明の目的は、上記戻り光を含め、散乱・反射等した入射光がトランジスタ部に入射することを防止でき、もって光リーク電流等の発生の問題を解決した液晶表示装置を提供することである。

## 【0009】

【課題を解決するための手段】本発明は、基板上に画素トランジスタであるTFTを有するTFT基板と、液晶を介して該TFT基板と対向する対向基板とを備える液晶表示装置において、画素トランジスタ部の対向基板側、及び画素トランジスタ部の対向基板とは逆の側で基板とTFTの間の双方の側に遮光層が形成され、前記対向基板側の遮光層は、対向基板側からの入射光に対して2以上の遮光層により、画素開口以外の領域すべての遮光がなされていると共に、前記対向基板には遮光層が形成されていないことを特徴とするものである。前記の2以上の遮光層は、その重ね合わせにより、画素開口以外の領域すべての遮光を行うように構成できる。

【0010】本発明によれば、画素トランジスタ部の対向基板側、及び画素トランジスタ部の対向基板とは逆の側の双方の側に遮光層が形成されることにより、図4に略示するように上述した戻り光(L<sub>3</sub>)も対向基板とは逆の側(出射側)の遮光層(遮光層5)により遮光され、よって光入射による光リーク電流等の発生の問題を解決できる。

#### 【0011】

【発明の実施の形態】以下、本発明の好ましい実施の形態について、図面を参照して具体的な実施の形態例を説明することにより、さらに説明する。但し当然のことではあるが、本発明は以下の説明及び図示の実施の形態例に限定されるものではない。

#### 【0012】実施の形態例1

本実施の形態例の構成を、図1に断面構造で、図2に平面構造で示す。なお、本例は、画素トランジスタとして高温ポリシリコンTFTを用いた場合を示したが、その他たとえば低温ポリシリコンTFTや、a-シリコンTFTを用いた場合等にも適用できる(他の実施の形態例についても同じ)。

【0013】図1を参照する。図示例は本発明を具体化したアクティブマトリクス型の液晶表示装置であって、画素トランジスタであるTFTを有する基板1(TFTを担持する石英から成る)と、対向基板2とを備え、該基板1と対向基板2との間には、液晶3が保持される。対向基板2は対向電極6を備える。

【0014】基板1は、上層部に画素電極8を有し、下層部にTFT(薄膜トランジスタ。ここではトップゲート構造のTFT)7を有する。TFT7は、各画素電極8を駆動するスイッチング素子としての役割を果たす。TFT7は、本例ではポリシリコンからなる半導体薄膜10を活性層としている。この半導体薄膜10は、第1層ポリシリコン(1poly)で、構成される。半導体薄膜10上には、SiO<sub>2</sub>等からなるゲート絶縁膜11を介して、ゲートGが形成されている。このゲートGは、第2層ポリシリコン(2poly)で、構成される。TFT7は、ゲートGの両側に、ソース領域S及びドレイン領域Dを有する。本例では、ソース/ドレイン

端部にLDD領域が形成されている。ソース領域S及びドレイン領域Dには、各々引き出し電極12A、12Bが接続している。各引き出し電極12A、12Bは、アルミニウム等のアルミニウム系材料で形成できる。

【0015】半導体薄膜10には、補助容量13(Cs)が形成されている。この補助容量13(Cs)は、半導体薄膜10すなわちTFT7を構成する第1層ポリシリコン(1poly)と、半導体薄膜14すなわちゲートGを構成する第2層ポリシリコン(2poly)とが、ゲート絶縁膜11を構成するSiO<sub>2</sub>等の絶縁膜を挟んで形成される。

【0016】上記画素電極8を有する上層部と、TFT7が形成されている下層部との間の中層部には、遮光層4M、4Pが形成されている。これは、TFT7に対して対向基板2側、すなわち、入射側にある遮光層である。適宜、「上層遮光層」とも称する。本例では図示のとおり、上層遮光層は、マスク遮光層4M及びパッド遮光層4Pとからなる。このように、対向基板側からの入射光に対しては2つの上層遮光層(マスク遮光層4M及びパッド遮光層4P)と引き出し電極12A及び12B(ここではアルミニウムにより形成)の重ね合わせにより、画素開口以外の領域すべての遮光をなしている。本例ではマスク遮光層4M及びパッド遮光層4Pは、ともに導電性を有する材料、たとえばTi等の金属膜からなる。マスク遮光層4Mは画素の行方向に沿って、連続的にパターンニングされてなり、少なくとも部分的にTFT7を遮光する。パッド遮光層4Pは画素ごとに離散的にパターンニングされ、画素電極とのコンタクトに寄与している。これらマスク遮光層4M及びパッド遮光層4Pと、引き出し電極12A及び12Bの重ね合わせにより、画素開口以外の領域のすべてが対向基板側からの入射に対して遮光される。

【0017】一方、画素トランジスタ部の対向基板とは逆の側に、遮光層5が形成されている。これを適宜、「下層遮光層」とも称する。少なくとも画素トランジスタのソース/ドレイン端部は、この下層遮光層で遮光されている。このように遮光されているソース/ドレイン端部に、前述のLDD領域71、72が形成されているのである。

【0018】図2において、この下層遮光層5は、特に斜線を付して明示する。なお図2中、符号10で、画素を構成する第1層ポリシリコンを示し、141で、ゲート線を構成する第2層ポリシリコンを示し、142で、補助容量Csを構成する第2層ポリシリコンを示す。符号15は、信号線(ここではアルミニウムからなる)である。

【0019】本例において、下層遮光層5は、高融点金属のシリサイドから形成した。特に、WSiの200nm厚の膜で形成した。

【0020】下層遮光層5は、ここでは少なくとも画素



トランジスタ (TFT7) のソース/ドレイン端部より、 $\pm 2.0 \mu\text{m}$  の領域を遮光する形状に、パターンニングした。この下層遮光層 5 は、GND と接地した。

【0021】少なくとも遮光されるべき画素トランジスタ (TFT7) のソース/ドレイン端部は、ゲート G の端  $\pm 0.5 \mu\text{m}$ 、より好ましくは  $\pm 1.0 \mu\text{m}$  であることが好ましい。

【0022】また、トランジスタ部のチャネル部の下部まで、一体化して、下層遮光層 5 を設置してもよい。

【0023】さらに、GND と接地するために画素領域外まで配線を伸ばす際には、画素トランジスタのゲート線以外の領域に設置してもよい。これは、段差緩和のためと、ゲート線の負担を軽くできるためである。このような配線ができるのは、入射光に対する画素開口以外全体の遮光が、上層遮光層で達成できていることによる。

【0024】本例では、下層遮光層 5 上に、AP-CVD により、NSG  $600 \text{ nm}$  を絶縁層 9 として積層した。さらにその上に、TFT7 の活性層となる多結晶シリコン (半導体薄膜 10 をなす第 1 層ポリシリコン (1poly)) を、LP-CVD により形成した。

【0025】下層遮光層 5 への隣接配線からの寄生容量を抑えるためには、上記したように、下層遮光層 5 と画素トランジスタ形成層 (半導体薄膜 10) との間になるべく厚膜の絶縁膜 9 を設置するのが好ましい。通常その膜厚は  $100 \text{ nm}$  以上がよく、さらに好ましくは  $200 \sim 1500 \text{ nm}$  がよい。ここでは上記のように NSG  $600 \text{ nm}$  とした。絶縁膜材料は、LP-CVD や AP-CVD や p-CVD による  $\text{SiO}_2$  膜、 $\text{SiN}$  膜等が使われる。好ましくは、LP-CVD による TEOS 膜、HTO 膜、AP-CVD による NSG、PSG、BPSG 等、あるいはこれらの積層膜が用いられる。

【0026】下層遮光層 5 は、隣接配線からのカップリング容量を抑えるため、 $100 \Omega/\square$  以下の低抵抗であることが好ましい。より好ましくは、 $10 \Omega/\square$  以下であることがよい。

【0027】また、トランジスタの光リークを抑制するためには、少なくとも  $400 \sim 500 \text{ nm}$  の領域の光に対して、透過率が一般に  $50\%$  以下であるようにする。好ましくは、透過率が  $10\%$  以下がよい。遮光効果を上げるためには、さらに低い方が好ましい。

【0028】下層遮光層 5 の厚さは、上記抵抗と遮光性の両立が達成されれば、どの程度でもよいが、実用上は、 $10 \sim 1000 \text{ nm}$  がよく、さらに好ましくは  $100 \sim 400 \text{ nm}$  がよい。

【0029】下層遮光層 5 より上層に多結晶シリコンのトランジスタを形成するためのプロセスの整合性を考慮すると、該遮光層 5 の材料としては、高融点金属、またはその化合物が好ましく用いられる。たとえば、W, Mo, Pt, Pd, Ti, Cr や、それらのシリサイドを挙げることができる。

【0030】一方、上層遮光層については、マスク遮光層 4M 及びパッド遮光層 4P とともに導電性を有する材料、たとえばチタン等の金属からなることが好ましいわけであるが、マスク遮光層 4M は固定電位、たとえば対向電極 6 の電位と等しく設定し、パッド遮光層 4P は、画素電極 8 と引き出し電極 12B との間に介在して、両者の電氣的接続を良好にする (図 1 参照) 作用を果たさせるようにできる。これら上層遮光層も、たとえば  $400 \sim 700 \text{ nm}$  の可視光領域で、透過率  $1\%$  以下、好ましくは  $0.1\%$  以下として、設定できる。材料としては、上記 Ti の他に、Cr, Ni, Ta, W, Al, Cu, Mo, Pt, Pd 等の金属、これらの合金、シリサイド等を用いてもよい。膜厚は、上記遮光性を満たせばよいが、通常好ましくは  $50 \text{ nm}$  以上であればよい。マスク遮光層 4M 及びパッド遮光層 4P は、同一層で構成できる。

【0031】画素トランジスタは、ダブルゲート構造であってもよい。その場合は、信号線側と画素側の少なくとも 2 個所のソース/ドレイン端部を遮光すればよい。

【0032】また、画素トランジスタに限らず、駆動回路のトランジスタを遮光してもよい。光により発生したキャリアによる特性不良を防ぐこともできる。

#### 【0033】実施の形態例 2

本実施の形態例においては、下層遮光層 5 を、各段のゲート G と接続した。それ以外は、実施の形態例 1 と同様とした。

【0034】下層遮光層 5 は、厚い絶縁膜 9 を介してはいるが、活性層である半導体薄膜 10 (第 1 層ポリシリコン (1poly)) に対して弱いゲートの作用を及ぼすため、実施の形態例 1 のとき GND 接続の場合、トランジスタの ON 電流が少し低下する傾向がある。これに対し本実施の形態例によれば、下層遮光層 5 をゲート G と接続することで、この ON 電流低下を抑制することができる。

#### 【0035】実施の形態例 3

本実施の形態例の平面構造を、図 3 に示す。本例では、下層遮光層 5 を、画素単位で切り離して、各画素に対応する下層遮光層 51, 52... とした。各トランジスタの LDD は、実施の形態例 1 と同様、十分に覆って、遮光するようにした。また、本例では、各画素のなかで、各下層遮光層 51, 52... は、ゲート G と接続した。それ以外は、実施の形態例 1 と同様とした。

#### 【0036】

【発明の効果】 上述したように、本発明の液晶表示装置によれば、上述した戻り光を含め、散乱・反射等した入射光がトランジスタ部に入射することを防止でき、もって光リーク電流等の発生の問題を解決することができる。

#### 【図面の簡単な説明】

【図 1】 本発明の実施の形態例 1 の構成を断面構造で

15 信号線(Al)

10 画素の1PolySi

下層遮光層

142 Cs形成(2PolySi)

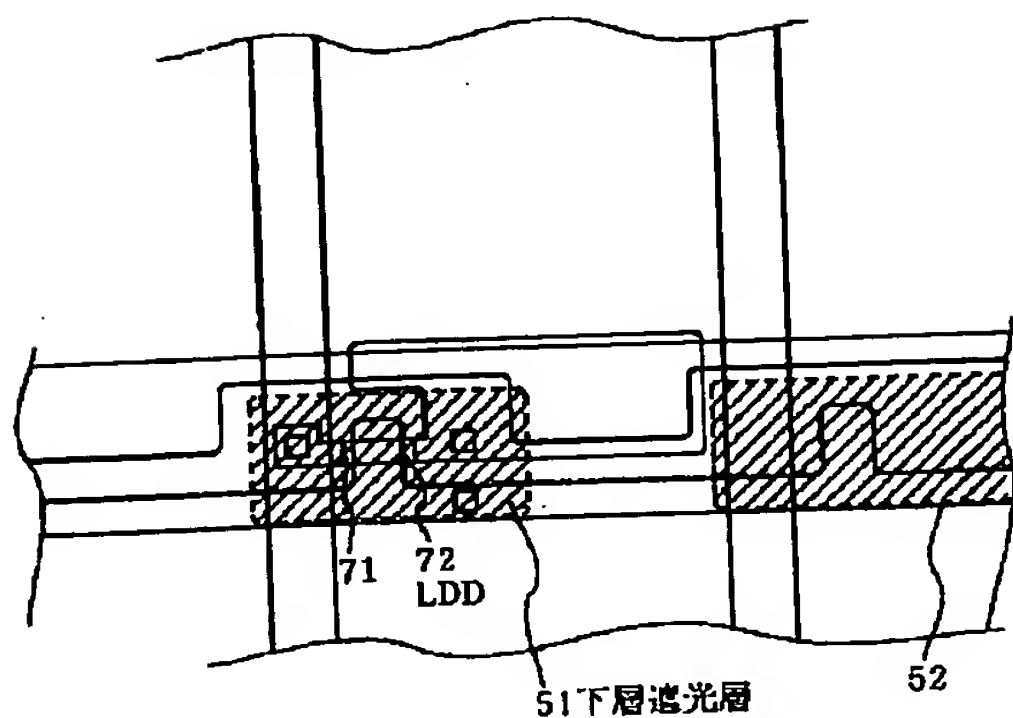
141 ゲート線(2PolySi)

71 72 LDD

5 遮光層(下層)

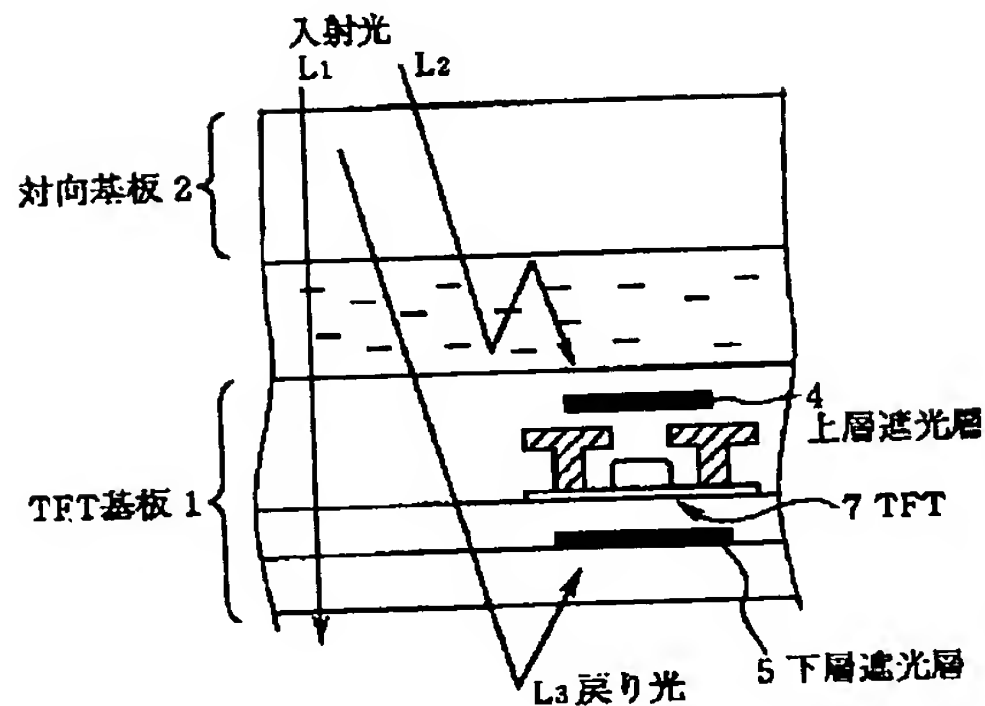
【図3】

実施の形態例3の構成 (平面)



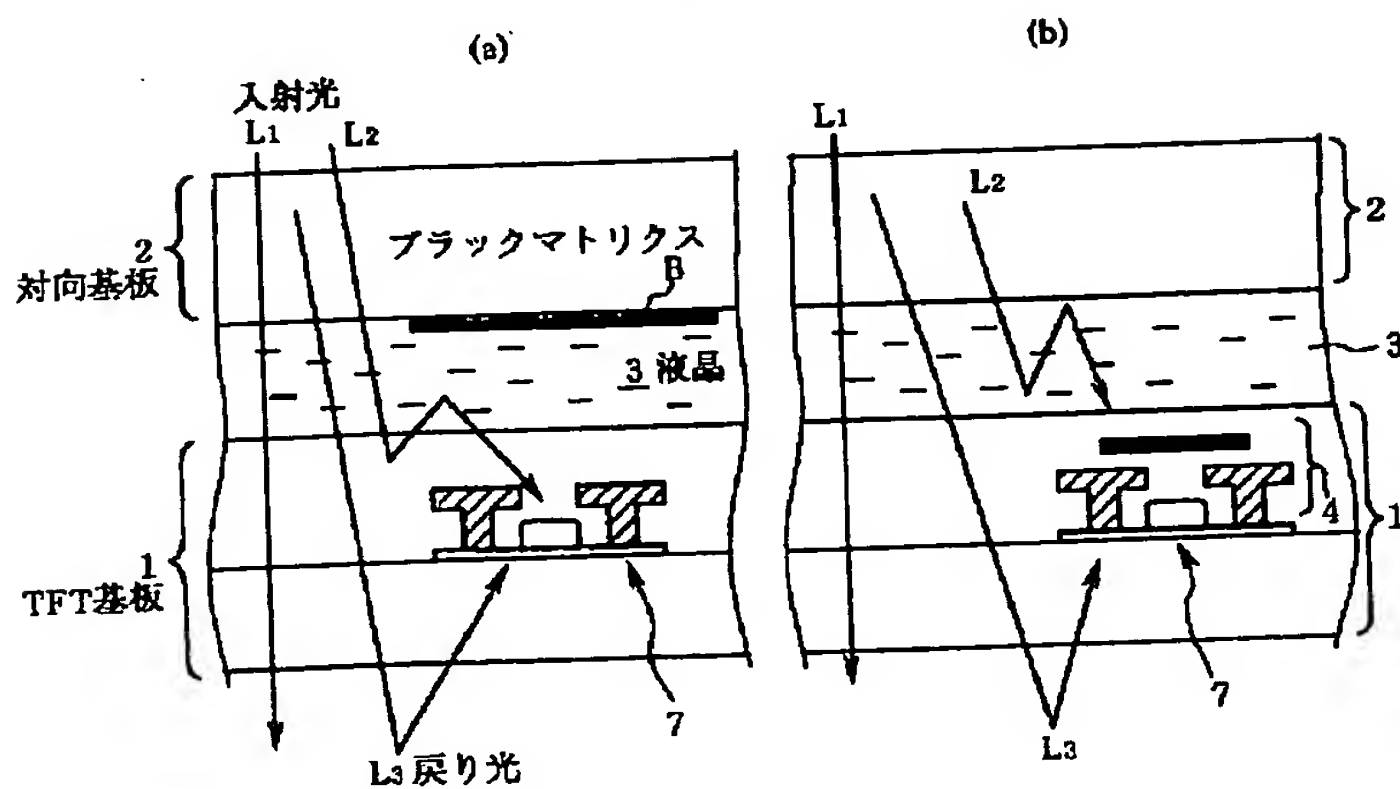
【図4】

本発明の作用の概略説明図



【図5】

従来技術の問題点



フロントページの続き

(72)発明者 橋本 芳浩  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(72)発明者 小池 啓文  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(72)発明者 内野 勝秀  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(72)発明者 林 祐司  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(72)発明者 飯田 正幸  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-298290

(43)Date of publication of application : 24.10.2000

(51)Int.Cl.

G02F 1/1368  
G02F 1/1335  
G09F 9/30  
H01L 29/786

(21)Application number : 2000-064978

(71)Applicant : SONY CORP

(22)Date of filing : 28.10.1998

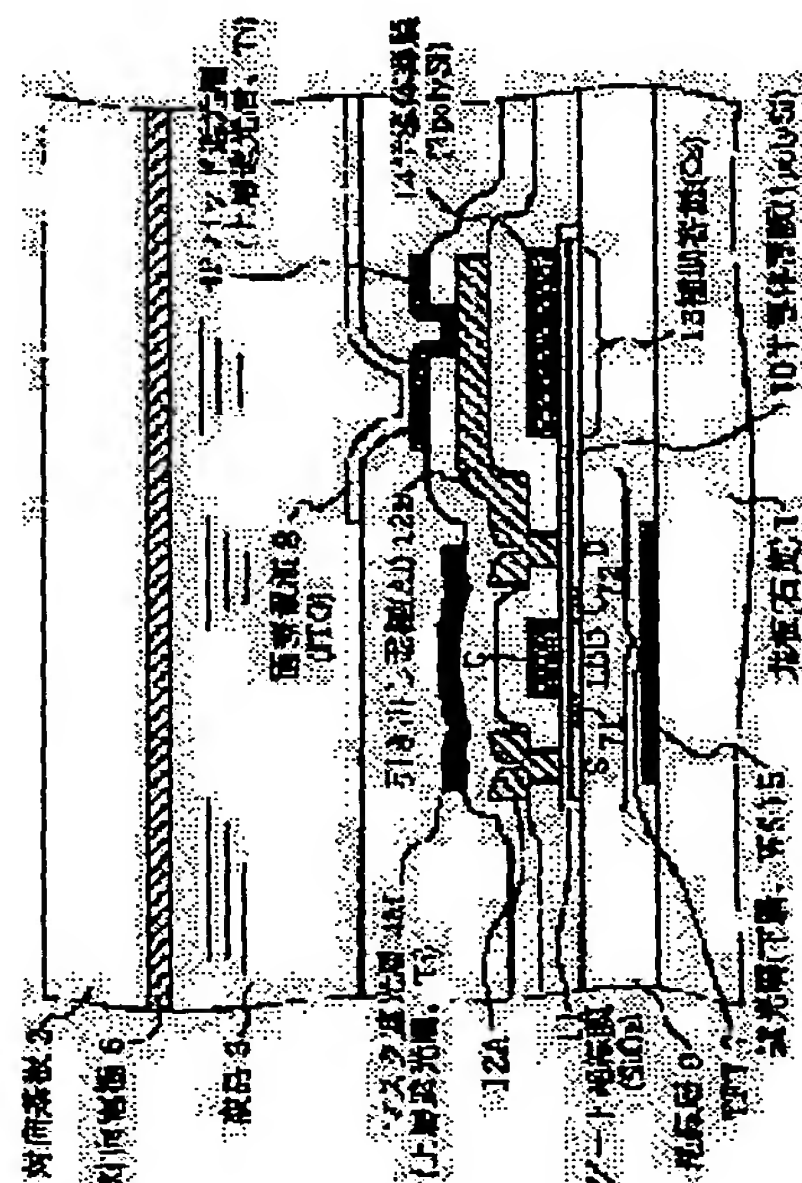
(72)Inventor : SATO TAKUO  
ABE FUMIAKI  
HASHIMOTO YOSHIHIRO  
KOIKE TAKAFUMI  
UCHINO KATSUHIDE  
HAYASHI YUJI  
IIDA MASAYUKI

## (54) LIQUID CRYSTAL DISPLAY DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain a liquid crystal display device, in which the incident light diffused or reflected as well as returning light is prevented from entering a transistor part and problems, such as a leakage current by light or the like is prevented.

**SOLUTION:** This device has a TFT substrate 1, having TFTs 7 as pixel transistors, and a counter substrate 2 facing the TFT substrate 11 through a liquid crystal layer 3, and light-shielding layers (upper light-shielding layer 4 and lower light-shielding layer 5) are formed on both of the counter substrate side of the pixel transistor and the opposite side of the pixel transistor to the counter substrate. For the light-shielding process in the counter substrate side, the incident light from the counter substrate side is all cut by the light-shielding layer 4 and the lead electrodes 12 in all regions except for the pixel opening.



## LEGAL STATUS

[Date of request for examination]

09.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3371192

[Date of registration] 22.11.2002

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The TFT substrate which has on a substrate TFT which is a pixel transistor. The opposite substrate which counters with this TFT substrate through liquid crystal. It is the liquid crystal display equipped with the above, and the opposite substrate side of the pixel transistor section, with the opposite substrate of the pixel transistor section, a shading layer is formed in the both-sides side between a substrate and TFT by the reverse side, shading of all fields other than pixel opening is made to the incident light from an opposite substrate side, and the shading layer by the side of the aforementioned opposite substrate is characterized by not forming the shading layer in the aforementioned opposite substrate.

[Claim 2] For the aforementioned opposite substrate, the source / drain edge of a pixel transistor at least are a liquid crystal display according to claim 1 characterized by being shaded in the shading layer which is between a substrate and TFT by the reverse side.

[Claim 3] The liquid crystal display according to claim 2 characterized by forming the LDD field in the source / drain edge by which shading is carried out [ aforementioned ].

[Claim 4] For the aforementioned opposite substrate, the shading layer which is between a substrate and TFT by the reverse side is a liquid crystal display according to claim 1 characterized by being grounded.

[Claim 5] For the aforementioned opposite substrate, the shading layer which is between a substrate and TFT by the reverse side is a liquid crystal display according to claim 1 characterized by connecting with a gate line.

[Claim 6] For the aforementioned opposite substrate, the shading layer which is between a substrate and TFT by the reverse side is a liquid crystal display according to claim 1 characterized by being formed in the lower part of a pixel transistor cambium through the insulator layer of 200-1500nm of thickness.

[Claim 7] The aforementioned opposite substrate is a liquid crystal display according to claim 1 characterized by resistance of the shading layer which is between a substrate and TFT by the reverse side being below 100ohms / \*\*.

[Claim 8] For the aforementioned opposite substrate, the shading layer which is between a substrate and TFT by the reverse side is a liquid crystal display according to claim 1 characterized by permeability being 50% or less to the light of an at least 400-500nm field.

[Claim 9] The shading layer by the side of the aforementioned opposite substrate is a liquid crystal display according to claim 1 characterized by making shading by the shading layer divided into mutual [ two or more ] to the incident light from an opposite substrate side.

[Claim 10] The liquid crystal display according to claim 1 characterized by the aforementioned pixel transistor being a polysilicon thin film transistor.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] Especially this invention relates to the liquid crystal display equipped with this TFT substrate and the opposite substrate which counters through the TFT substrate which has TFT which is a pixel transistor, and liquid crystal about a liquid crystal display.

[0002]

[Description of the Prior Art] Conventionally, TFT (TFT) is formed on the substrate which consists of glass, a quartz, etc., it considers as a TFT substrate, and the liquid crystal display which has liquid crystal between this TFT substrate and an opposite substrate is known.

[0003] This conventional kind of thing usually carries out incidence of the light of the light source from an opposite substrate side. When this light carries out incidence to a pixel transistor, quality-of-image degradation of a contrast fall, a flicker, etc. may arise by the optical leakage current.

[0004] Even if shown in the liquid crystal display using the polysilicon thin film transistor, it is becoming impossible for example, to disregard an optical leakage current, for example with a liquid crystal display in recent years, since the use under the large quantity of light increases like a projector, although Polycrystal Si is not high sensitivity like a-Si. Therefore, also about the case where a polysilicon thin film transistor is used, quality-of-image degradation of a contrast fall, a flicker, etc. by the optical leakage current poses a problem.

[0005] Conventionally, about the incidence suppression to the pixel transistor of the light from an opposite substrate side, as shown in drawing 5 (a), it is installing the black matrix B in the opposite substrate 2, and the shading was performed. However, incident light L1 which goes straight on with this structure Shading is a part of incident light L2 which carried out dispersion or reflection although it was possible. It cannot prevent carrying out incidence to the pixel transistor 7. Then, as shown in drawing 5 (b), this invention persons are installing the black matrix currently installed in the opposite substrate 2 in the upper layer (opposite substrate side) of the transistor of the TFT substrate 1 which is a position more near a transistor, and proposed the technology of aiming at optical incidence reduction (refer to JP,8-262494,A). Incident light L2 which carried out dispersion or reflection like drawing 5 (b) according to this The incidence to the pixel transistor 7 can be prevented. By this proposal, a black matrix is formed in two layers and it is considering as the shading layer.

[0006] However, a part of outgoing radiation light L3 is generating the return light (stray light) which goes into a transistor from a TFT substrate side by reflection from optical system etc. so that it may illustrate. The incidence to the transistor section 7 of this return light (stray light) L3 can be prevented with neither of the structures.

[0007] Especially, in the top gate or the liquid crystal display using the polysilicon thin film transistor of a planar structure, since the barrier layer of a transistor is formed in the lowest layer (opposite substrate direction of reverse) of a TFT substrate, incidence of the light from a TFT substrate side is carried out to a direct transistor barrier layer, and it causes an optical leakage current.

[0008]

[Problem(s) to be Solved by the Invention] It is offering the liquid crystal display which was made in order that this invention's might solve the above-mentioned trouble, could prevent the incident lights including the above-mentioned return light which carried out scatter reflection etc. having carried out incidence of the purpose of this invention to the transistor section, had it, and solved the problem of generating, such as an optical leakage current.

[0009]

[Means for Solving the Problem] In the liquid crystal display with which this invention is equipped with this TFT substrate and the opposite substrate which counters through the TFT substrate which has on a substrate TFT which is a pixel transistor, and liquid crystal With the opposite substrate of the pixel transistor section, a shading layer is formed in the both-sides side between a substrate and TFT by the reverse side the opposite substrate side of the pixel transistor section. the shading layer by the side of the aforementioned opposite substrate While shading of all fields other than pixel opening is made by two or more shading layers to the incident light from an opposite substrate side, it is characterized by not forming the shading layer in the aforementioned opposite substrate. The superposition can constitute the two or more aforementioned shading layers so that all fields other than pixel opening may be shaded.

[0010] According to this invention, by forming a shading layer in the near both-sides side of reverse, it returns and light (L3) can also solve the problem of generating, such as an optical leakage current mentioned above so that it might sketch in drawing 4 are shaded by the near (outgoing radiation side) shading layer (shading layer 5) of reverse with an opposite substrate, and therefore according to optical incidence, with the opposite substrate of the opposite substrate side of the pixel transistor section, and the pixel transistor section.

[0011]

[Embodiments of the Invention] By explaining the example of a form of concrete operation with reference to a drawing about the form of desirable operation of this invention hereafter explains further. However, although it is natural, this invention is not limited to the following explanation and the example of a form of implementation of illustration.

[0012] Cross-section structure shows to drawing 1, and the planar structure shows the composition of the one example the example of a form of operation of a form of operation to drawing 2. in addition, this example can be applied, although the case where the elevated-temperature polysilicon contest TFT was used as a pixel transistor was shown, in addition when for example, the low-temperature polysilicon contest TFT and a-silicon TFT are used (others -- the same is said of the example of a form of operation)

[0013] Drawing 1 is referred to. The example of illustration is the active-matrix type liquid crystal display which materialized this invention, it has the substrate 1 (it consists of the quartz which supports TFT) which has TFT which is a pixel transistor, and the opposite substrate 2, and liquid crystal 3 is held between this substrate 1 and the opposite substrate 2. The opposite substrate 2 is equipped with a counterelectrode 6.

[0014] A substrate 1 has the pixel electrode 8 in a management, and is TFT (TFT.) to the lower layer section. Here, it has TFT7 of top gate structure. TFT7 plays a role of a switching element which drives each pixel electrode 8. TFT7 makes the barrier layer the semiconductor thin film 10 which consists of contest polysilicon in this example. This semiconductor thin film 10 is contest the 1st layer polysilicon (1poly), and is constituted. the semiconductor thin film 10 top -- SiO<sub>2</sub> etc. -- from -- Gate G is formed through the becoming gate insulator layer 11 This gate G is contest the 2nd layer polysilicon (2poly), and is constituted. TFT7 has the source field S and the drain field D on both sides of Gate G. The LDD field is formed in the source / drain edge in this example. The drawer electrodes 12A and 12B have connected with the source field S and the drain field D respectively. Each drawer electrodes 12A and 12B can be formed with aluminum system material, such as aluminum.

[0015] The auxiliary capacity 13 (Cs) is formed in the semiconductor thin film 10. SiO<sub>2</sub> from which contest the 1st layer polysilicon (1poly) with which this auxiliary capacity 13 (Cs) constitutes the semiconductor thin film 10 7, i.e., TFT, and contest the 2nd layer polysilicon (2poly) which constitutes the semiconductor thin film 14 G, i.e., the gate, constitute gate insulator layer 11 \*\* etc. -- it is formed



on both sides of an insulator layer

[0016] The shading layers 4M and 4P are formed in the medium-rise section between the management which has the above-mentioned pixel electrode 8, and the lower layer section in which TFT7 is formed. This is a shading layer which is in the opposite substrate 2, i.e., incidence, side to TFT7. Suitably, it is called the "upper shading layer." In this example, the upper shading layer consists of mask shading layer 4M and pad shading layer 4P as illustration. Thus, to the incident light from an opposite substrate side, it pulls out with the two upper shading layers (mask shading layer 4M and pad shading layer 4P), and all fields other than pixel opening are shaded by the superposition of Electrodes 12A and 12B (here, it forms by aluminum). In this example, both mask shading layer 4M and pad shading layer 4P consist of metal membranes, such as the material which has conductivity, for example, Ti etc. Along with the line writing direction of a pixel, it comes to carry out patterning of mask shading layer 4M continuously, and they shade TFT7 partially at least. Patterning of pad shading layer 4P was dispersedly carried out for every pixel, and they have contributed to contact to a pixel electrode. All fields other than pixel opening are shaded by these mask shading layer 4M and pad shading layer 4P, and the superposition of the drawer electrodes 12A and 12B to the incidence from an opposite substrate side.

[0017] On the other hand, the shading layer 5 is formed in the reverse side with the opposite substrate of the pixel transistor section. This is suitably called a "lower layer shading layer." The source / drain edge of a pixel transistor at least are shaded in this lower layer shading layer. Thus, the above-mentioned LDD fields 71 and 72 are formed in the source / drain edge currently shaded.

[0018] In drawing 2, especially this lower layer shading layer 5 attaches and specifies a slash. In addition, contest the 1st layer polysilicon which constitutes a pixel from a sign 10 is shown among drawing 2, contest the 2nd layer polysilicon which constitutes a gate line from 141 is shown, and contest the 2nd layer polysilicon which constitutes the auxiliary capacity Cs from 142 is shown. A sign 15 is a signal line (here, it consists of aluminum).

[0019] In this example, the lower layer shading layer 5 was formed from the silicide of a refractory metal. Especially, it formed by the film of 200nm \*\* of WSi.

[0020] More here than the source / drain edge of a pixel transistor (TFT7), patterning of the lower layer shading layer 5 was carried out to the configuration which shades a \*\*2.0-micrometer field at least. This lower layer shading layer 5 was grounded with GND.

[0021] As for the source / drain edge of the pixel transistor (TFT7) which should be shaded at least, it is [ \*\*0.5 micrometers of edges of Gate G ] more preferably desirable that it is \*\*1.0 micrometers.

[0022] Moreover, to the lower part of the channel section of the transistor section, it may unify and the lower layer shading layer 5 may be installed.

[0023] Furthermore, in order to ground with GND, in case wiring is lengthened out of a pixel field, you may install in fields other than the gate line of a pixel transistor. This is because the burden of a gate line for level difference relief can be made light. The whole shading depends on the ability to have attained that such wiring can be performed in the upper shading layer except pixel opening to an incident light.

[0024] In this example, it carried out the laminating by AP-CVD on the lower layer shading layer 5, having used NSG600nm as the insulating layer 9. Furthermore on it, the polycrystal silicon (contest the 1st layer polysilicon which makes the semiconductor thin film 10 (1poly)) used as the barrier layer of TFT7 was formed by LP-CVD.

[0025] In order to stop the parasitic capacitance from contiguity wiring in the lower layer shading layer 5, as described above, it is desirable to, install the insulator layer 9 of a thick film if possible between the lower layer shading layer 5 and a pixel transistor cambium (semiconductor thin film 10). Usually, 100nm or more is at best still more desirable, and the thickness has good 200-1500nm. Here, it was referred to as NSG600nm as mentioned above. Insulator layer material is SiO<sub>2</sub> by LP-CVD, AP-CVD, or p-CVD. A film, a SiN film, etc. are used. Preferably, these cascade screens, such as a TEOS film by LP-CVD, a HTO film, NSG by AP-CVD, PSG, and BPSG, are used.

[0026] As for the lower layer shading layer 5, it is desirable that it is low resistance below 100ohms / \*\* in order to stop the distributor-shaft-coupling capacity from contiguity wiring. It is good more preferably that they are below 10ohms / \*\*.

[0027] Moreover, in order to suppress optical leak of a transistor, it is made for permeability to be 50% or less generally to the light of an at least 400-500nm field. Permeability is good 10% or less of preferably. In order to raise the shading effect, the still lower one is desirable.

[0028] Although how much is sufficient as the thickness of the lower layer shading layer 5 as long as coexistence of the above-mentioned resistance and shading nature is attained, practically, 10-1000nm is at best still more desirable, and its 100-400nm is good.

[0029] Consideration of the adjustment of the process for forming the transistor of polycrystal silicon in the upper layer from the lower layer shading layer 5 uses a refractory metal or its compound preferably as a material of this shading layer 5. For example, W, Mo, Pt, Pd, Ti, Cr(s), and those silicide can be mentioned.

[0030] On the other hand, although metals, such as the material into which mask shading layer 4M and pad shading layer 4P have conductivity about the upper shading layer, for example, titanium etc., to a bird clapper is a desirable reason Mask shading layer 4M are set up equally to fixed potential, for example, the potential of a counterelectrode 6, and pad shading layer 4P pull out with the pixel electrode 8, intervene between electrode 12B, and can make the operation which makes both electrical installation good (refer to drawing 1) achieve. These upper shading layer can also be preferably set up as 0.1% or less 1% or less of permeability in a 400-700nm light field. As a material, you may use metals, such as Cr, nickel, Ta, W, aluminum, Cu, Mo, Pt, and Pd, these alloys, silicide, etc. other than Above Ti.

Although thickness should just fill the above-mentioned shading nature, it should just be 50nm or more usually preferably. Mask shading layer 4M and pad shading layer 4P can consist of same layers.

[0031] A pixel transistor may be double-gate structure. In this case, what is necessary is just to shade at least two the source / drain edges, a signal-line side and a pixel side.

[0032] Moreover, you may shade the transistor of not only a pixel transistor but a drive circuit. The poor property by the carrier generated by light can also be prevented.

[0033] The lower layer shading layer 5 was connected with the gate G of each stage in the two example example of a gestalt of operation of a gestalt of operation. It was presupposed except it that it is the same as that of the example 1 of a gestalt of operation.

[0034] In the GND connection like the example 1 of a gestalt of operation, the lower layer shading layer 5 has the inclination for ON current of a transistor to fall for a while in order to do an operation of the weak gate to the semiconductor thin film 10 (contest the 1st layer polysilicon (1poly)) which is a barrier layer through the thick insulator layer 9. On the other hand, according to the example of a gestalt of this operation, this ON current fall can be suppressed by connecting the lower layer shading layer 5 with Gate G.

[0035] The planar structure of the three example the example of a gestalt of operation of a gestalt of operation is shown in drawing 3. the lower layer shading layers 51 and 52 corresponding to [ in this example, separate the lower layer shading layer 5 per pixel, and ] each pixel -- it considered as ... LDD of each transistor is fully covered and it was made to shade like the example 1 of a gestalt of operation. moreover -- this example -- the inside of each pixel -- each lower layer shading layers 51 and 52 ... connected with Gate G It was presupposed except it that it is the same as that of the example 1 of a gestalt of operation.

[0036]  
[Effect of the Invention] As mentioned above, according to the liquid crystal display of this invention, it can prevent that the incident light which was mentioned above and which returned and carried out scatter reflection etc. including light carries out incidence to the transistor section, it can have it, and the problem of generating, such as an optical leakage current, can be solved.

---

[Translation done.]



## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

PRIOR ART

---

[Description of the Prior Art] Conventionally, TFT (TFT) is formed on the substrate which consists of glass, a quartz, etc., it considers as a TFT substrate, and the liquid crystal display which has liquid crystal between this TFT substrate and an opposite substrate is known.

[0003] This conventional kind of thing usually carries out incidence of the light of the light source from an opposite substrate side. When this light carries out incidence to a pixel transistor, quality-of-image degradation of a contrast fall, a flicker, etc. may arise by the optical leakage current.

[0004] Even if shown in the liquid crystal display using the polysilicon thin film transistor, it is becoming impossible for example, to disregard an optical leakage current, for example with a liquid crystal display in recent years, since the use under the large quantity of light increases like a projector, although Polycrystal Si is not high sensitivity like a-Si. Therefore, also about the case where a polysilicon thin film transistor is used, quality-of-image degradation of a contrast fall, a flicker, etc. by the optical leakage current poses a problem.

[0005] Conventionally, about the incidence suppression to the pixel transistor of the light from an opposite substrate side, as shown in drawing 5 (a), it is installing the black matrix B in the opposite substrate 2, and the shading was performed. However, incident light L1 which goes straight on with this structure Shading is a part of incident light L2 which carried out dispersion or reflection although it was possible. It cannot prevent carrying out incidence to the pixel transistor 7. Then, as shown in drawing 5 (b), this invention persons are installing the black matrix currently installed in the opposite substrate 2 in the upper layer (opposite substrate side) of the transistor of the TFT substrate 1 which is a position more near a transistor, and proposed the technology of aiming at optical incidence reduction (refer to JP,8-262494,A). Incident light L2 which carried out dispersion or reflection like drawing 5 (b) according to this The incidence to the pixel transistor 7 can be prevented. By this proposal, a black matrix is formed in two layers and it is considering as the shading layer.

[0006] However, a part of outgoing radiation light L3 is generating the return light (stray light) which goes into a transistor from a TFT substrate side by reflection from optical system etc. so that it may illustrate. The incidence to the transistor section 7 of this return light (stray light) L3 can be prevented with neither of the structures.

[0007] Especially, in the top gate or the liquid crystal display using the polysilicon thin film transistor of a planar structure, since the barrier layer of a transistor is formed in the lowest layer (opposite substrate direction of reverse) of a TFT substrate, incidence of the light from a TFT substrate side is carried out to a direct transistor barrier layer, and it causes an optical leakage current.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] Cross-section structure shows the composition of the example 1 of a gestalt of operation of this invention.

[Drawing 2] The planar structure shows the composition of the example 1 of a gestalt of operation of this invention.

[Drawing 3] The planar structure shows the composition of the example 3 of a gestalt of operation of this invention.

[Drawing 4] It is outline explanatory drawing showing an operation of this invention.

[Drawing 5] It is drawing showing the trouble of the conventional technology.

[Description of Notations]

1 [ ... Liquid crystal, 4M / ... Mask shading layer (the upper shading layer), ] ... A substrate (TFT substrate), 2 ... An opposite substrate, 3 4P ... A pad shading layer (the upper shading layer), 5, 51, 52 ... Lower layer shading layer, 6 [ ... The gate, S / ... Source field, ] ... A counterelectrode, 7 ... TFT, G D [ ... An insulating layer, 10 / ... Semiconductor thin film (1polySi), ] ... A drain field, 8 ... A pixel electrode, 9 11 [ ... A drawer electrode, 13 / ... Auxiliary capacity (Cs), 14 / ... A semiconductor thin film (2polySi), 15 / ... Signal line. ] ... A gate insulator layer, 12A ... A drawer electrode, 12B

---

[Translation done.]

**\* NOTICES \***

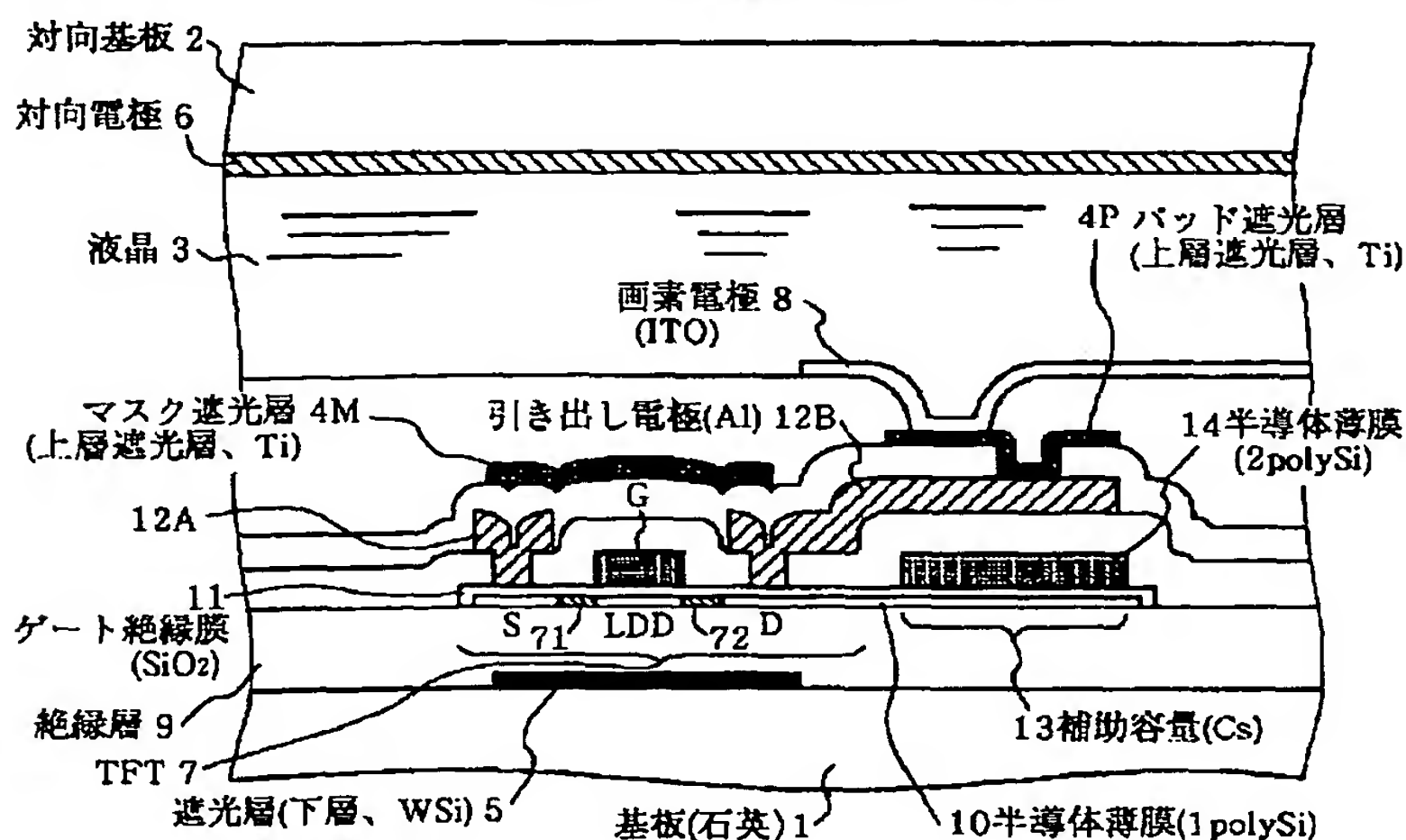
Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## DRAWINGS

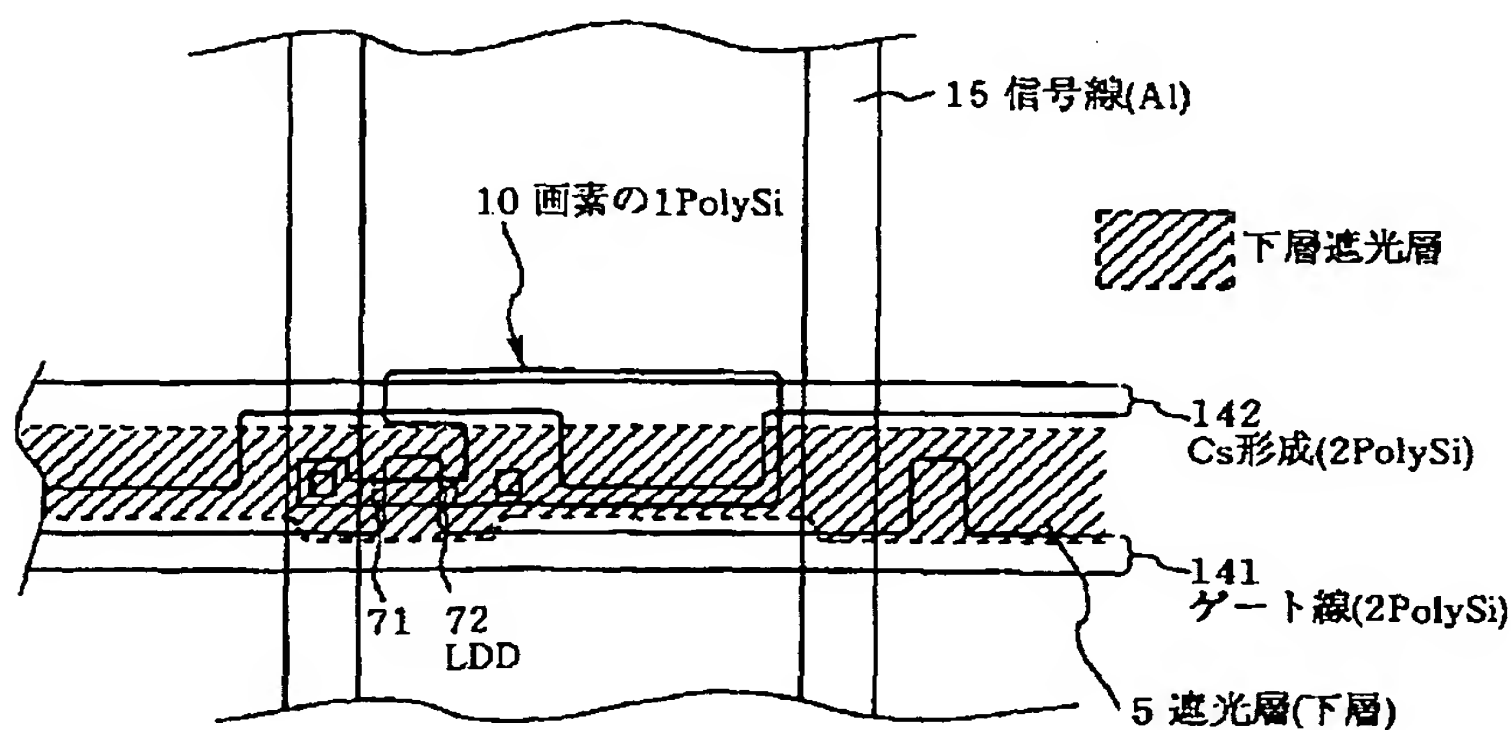
[Drawing 1]

### 実施の形態例 1 の構成（断面）



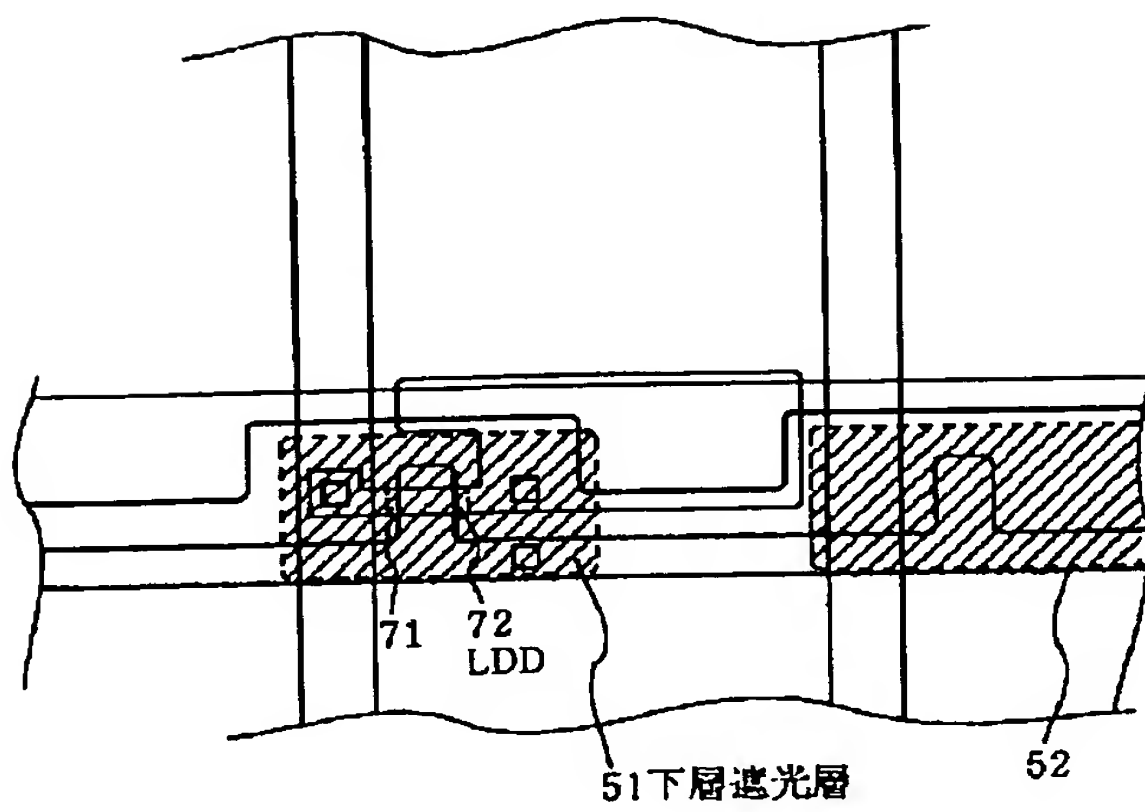
[Drawing 2]

実施の形態例 1 の構成 (平面)



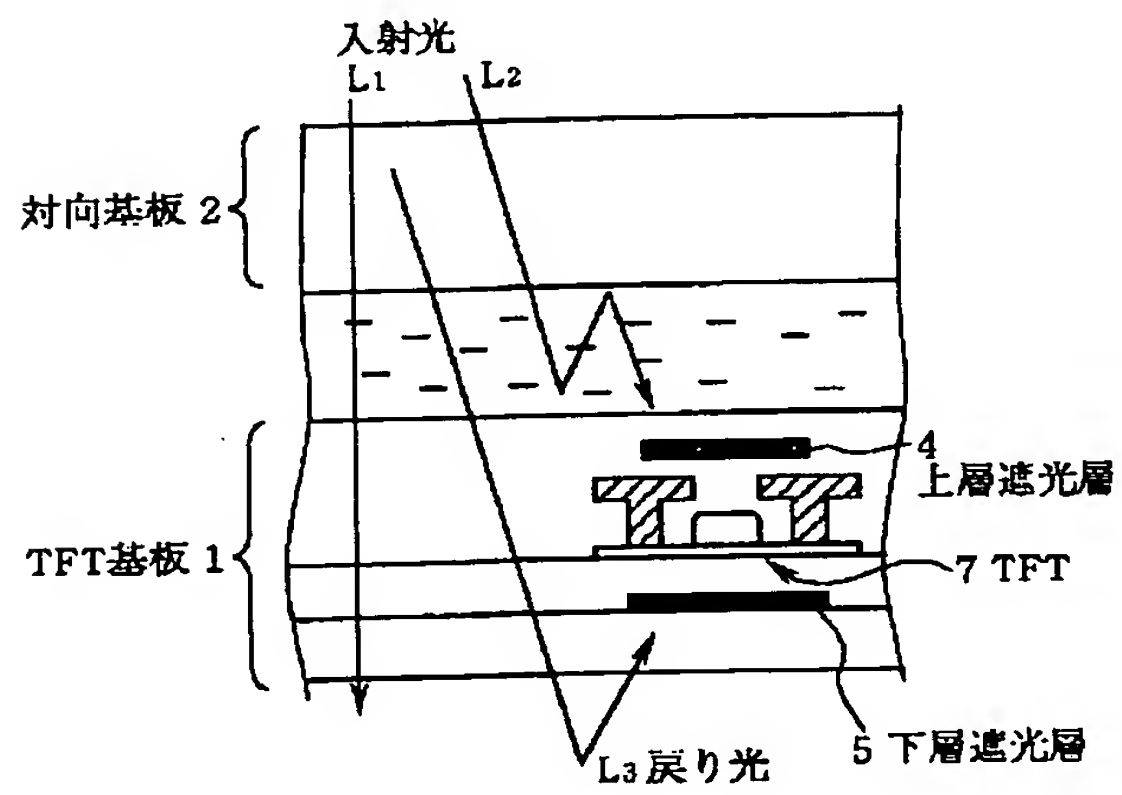
[Drawing 3]

実施の形態例3の構成（平面）



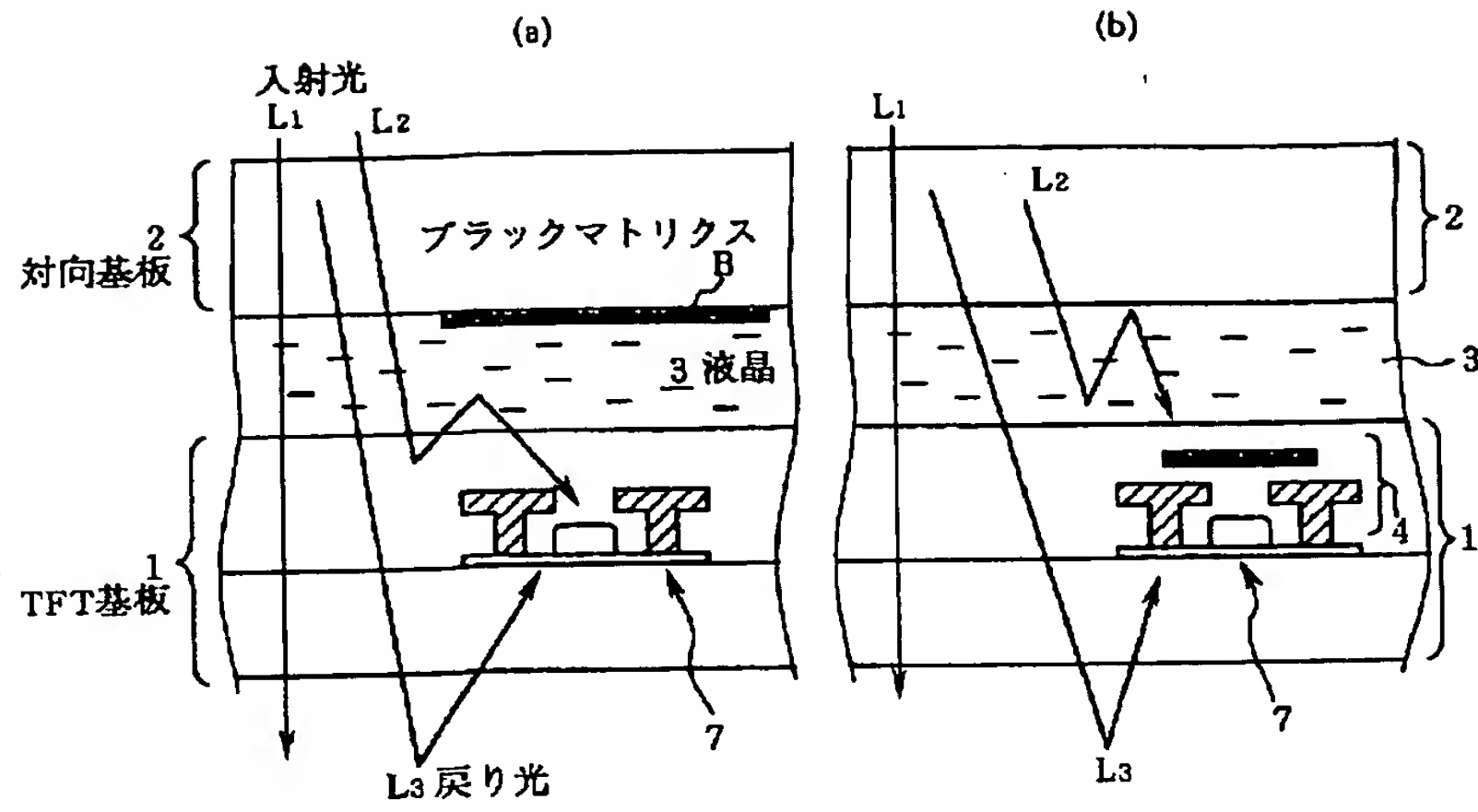
[Drawing 4]

本発明の作用の概略説明図



[Drawing 5]

## 従来技術の問題点



[Translation done.]